

(51)Int.Cl. ⁵	識別記号	府内整理番号	F I	技術表示箇所
G 1 0 H 1/00	Z	7350-5H		
G 0 6 F 3/16	3 3 0 K	8323-5B		
	12/04	5 1 0	8841-5B	
G 1 0 H 7/00		8622-5H		

審査請求 未請求 請求項の数1(全23頁)

(21)出願番号 特願平3-157190

(22)出願日 平成3年(1991)6月27日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 松本 秀一

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 竹内 千史

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

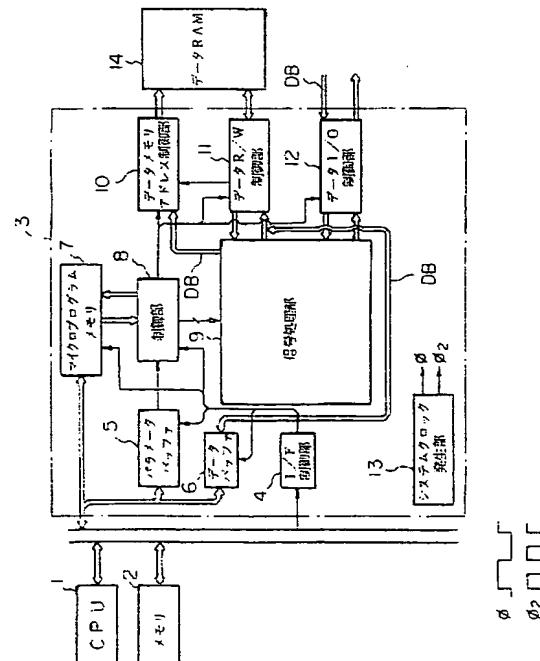
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 楽音信号演算処理装置

(57)【要約】

【目的】 システム構成に応じて外部に接続するメモリシステムとのデータバス幅を自由に選択・設定し、効率的に楽音処理システムを構成する。

【構成】 DSP3は、上記CPU1からの命令に従ってデータRAM14のデータに対する演算処理を行なうとともに、該データの書込み、読み込み等の制御を行なう。DSP3は、マイクロプログラム7に記憶されたマイクロプログラムに従って時分割に複数の楽音を生成する。これら楽音に対する信号処理は、例えば、32ビットで行なわれる。この32ビット長のデータは、遅延メモリとして用いられるデータRAM14へ8ビット長のデータとして分割して書込まれる。また、記憶されたデータを読み込む際には、分割された8ビットのデータを順次読み込んで32ビット長のデータとして取り込む。この時のデータRAM14に対するアドレスは、データメモリアドレス制御部10によって生成されるとともに、DSP3とデータRAM14との間のデータの授受はデータR/W制御部11によって行なわれる。



【特許請求の範囲】

【請求項1】 Mビット幅のデータに所定の処理を行なう第1のデータ処理手段と、
Nビット幅 ($M \geq N$) のデータに対して所定の処理を行なう第2のデータ処理手段と、
前記第1のデータ処理手段と前記第2のデータ処理手段との間に設けられ、前記第1のデータ処理手段において扱われる前記Mビット幅のデータを分割し、Nビット幅のデータとして前記第2のデータ処理手段へ順次転送するとともに、前記第2のデータ処理手段において扱われる前記Nビット幅のデータを前記分割転送した順に基づいて前記Mビット幅のデータに再構成して、前記第1のデータ処理手段へ転送するデータ幅変換手段と、
前記データ変換手段に対して、前記Mビット幅と前記Nビット幅との値を与えるとともに、前記変換手順を指示する変換指示手段とを具備することを特徴とする楽音信号演算処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、楽音信号を合成、発音する音源に用いて好適な楽音信号演算処理装置に関する。

【0002】

【従来の技術】一般に、楽音の合成、発生、音響効果の付与に際しては、各種の演算処理と相当量のメモリが必要である。実際に、楽音波形発生装置や、残響などの音響効果付与装置を構成する際には、メモリ容量、アクセスタイム等の他、ビット幅構成を十分に吟味する必要がある。

【0003】例えば、演算処理で扱う楽音波形のデータを32ビット幅とした楽音波形演算処理装置にメモリを接続する場合、データの記憶容量を一定とすれば、32ビット幅のデータバスを持つメモリシステムよりも8ビット幅データバス構成のメモリシステムを用いる方が、バスラインの信号線本数は少なくでき、実装コストを下げることができる。

【0004】例えば、典型的な実例をあげて説明する。データビット幅B、データ容量 = C = 2^a として、ビット幅Bおよび(B/a)の2つのメモリシステムを考えると、ビット幅Bのメモリシステム……データ線B本

：アドレス線n本ビット幅B/aのシステム ……
データ線B/a本 : アドレス線n + $\log_2 a$ となる。

【0005】例えば、B = 32で、C = 1MW = 2^{20} の場合、32、16、8ビットの3通りのデータ幅のメモリシステムを考えると、

① 32ビット幅 …… データ線 = 32本 + アドレス線 20本 = 合計52本

② 16ビット幅 …… データ線 = 16本 + アドレス線 21本 = 合計37本

③ 8ビット幅 …… データ線 = 8本 + アドレス線 50

22本 = 合計30本となる。

【0006】

【発明が解決しようとする課題】しかしながら、従来の楽音信号演算処理装置では、データ幅は固定であり、必ずこれに合致したメモリシステムを用意しなければならず、選択が非常に限定されるという問題を生じる。したがって、処理部とメモリ部との接続仕様(線数など)にも選択の余地がなく、高価なメモリが必要となったり、線数が多いため、基板面積が大きくなるというシステム構築上の大きなネックを有していた。

【0007】この発明は上述した事情に鑑みてなされたもので、システム構成に応じて外部に接続するメモリシステムとのデータバス幅を上述したように、自由に選択・設定でき、安価なメモリを用いることができ、データバスの線数を削減することができるなど、効率的に楽音処理システムを構成できる楽音信号演算処理装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上述した問題点を解決するために、この発明では、Mビット幅のデータに所定の処理を行なう第1のデータ処理手段と、Nビット幅 ($M \geq N$) のデータに対して所定の処理を行なう第2のデータ処理手段と、前記第1のデータ処理手段と前記第2のデータ処理手段との間に設けられ、前記第1のデータ処理手段において扱われる前記Mビット幅のデータを分割し、Nビット幅のデータとして前記第2のデータ処理手段へ順次転送するとともに、前記第2のデータ処理手段において扱われる前記Nビット幅のデータを前記分割転送した順に基づいて前記Mビット幅のデータに再構成して、前記第1のデータ処理手段へ転送するデータ幅変換手段と、前記データ変換手段に対して、前記Mビット幅と前記Nビット幅との値を与えるとともに、前記変換手順を指示する変換指示手段とを具備することを特徴とする楽音信号演算処理装置。

【0009】

【作用】変換指示手段の指示に従って、データ幅変換手段が、第1のデータ処理手段において扱われる前記Mビット幅のデータを分割し、Nビット幅のデータとして第2のデータ処理手段へ順次転送する。また、データ幅変換手段は、前記第2のデータ処理手段において扱われる前記Nビット幅のデータを前記分割転送した順に基づいて前記Mビット幅のデータに再構成して、前記第1のデータ処理手段へ転送する。

【0010】

【実施例】次に図面を参照してこの発明の実施例について説明する。図1はこの発明の一実施例の構成を示すフローランプ図である。この図において、CPU(中央処理装置)1は、DSP(デジタルシグナルプロセッサ)3への指示、例えばデータの読み込み/書き込み(R/W)に関するタイミングの制御などを行なう。また、メモリ2

には、上記CPU1による制御の際のプログラムや演算結果などのデータが記憶される。

【0011】次に、DSP3は、自然楽器の発音をシミュレートする際の音源を実現する演算回路であり、I/F(インターフェイス)制御部4、バラメータバッファ5、データバッファ6、マイクロプログラムメモリ7、制御部8、信号処理部9、データメモリアドレス制御部10、データR/W制御部11、データI/O制御部12およびシステムクロック発生部13から構成されている。このDSP3は、上記CPU1からの命令に従って選択用のメモリ(データRAM14)のアドレス等を算出する。

【0012】I/F制御部4は、CPU1からのDSP3への指示(データR/W)に関するタイミングの制御などを行なう。そのための制御信号がバラメータバッファ5、データバッファ6、マイクロプログラムメモリ7および制御部8へ供給されている。

【0013】バラメータバッファ5は、CPU1からのDSP3の処理動作に関する各種バラメータデータ(詳細は後述する)が記憶される。このバラメータデータは上記制御信号に従って所定のタイミングで制御部8へ供給される。次に、データバッファ6は、DSP3の演算結果を読み出し、データRAM14へデータを書込む際に、一時的にデータを格納するバッファであり、上記制御信号に従って所定のタイミングでデータの入出力を行なう。

【0014】マイクロプログラムメモリ7は、DSP3の処理手順を示すマイクロプログラムを格納するメモリであり、所定のタイミングで順次指示を制御部8へ出力する。制御部8は、DSP3の動作タイミングやマイクロプログラムに従った演算処理の指示など全体を制御する。この制御部8の内部には、マイクロプログラムをアクセスするためのプログラムカウンタ(PC)などが含まれる。

【0015】次に、信号処理部9は制御部からの指示に従って各種演算処理を行ない、その際、データRAM14のアドレス制御を行なうための各種制御信号を、データメモリアドレス制御部10、データR/W制御部11およびデータI/O制御部12へ出力する。データメモリアドレス制御部10は、データRAM14に対してアドレス信号を発生し、アクセス制御を行なう。

【0016】データR/W制御部11は、データRAM14とDSPとの間のデータの入出力制御を行なうとともに、そのための制御信号をデータメモリアドレス制御部10へ出力する。また、データI/O制御部は、制御部の指示(制御信号)により、DSP3の外部、または他のシステムとの信号データの入出力制御を行なう。なお、各種データは、図示のデータバスDBを介して行なわれる。

【0017】次に、上述したバラメータバッファおよび

マイクロプログラムについて、図2(a)および(b)を参照して説明する。図2(a)はバラメータバッファに格納される各種データの構成を示す説明図である。この図において、バラメータバッファ5には、バラメータデータとして、順次、RAM MODE、CLR START STEP、CLR END STEP、CLR ST、CLRRNGおよびCLR COMMANDが記憶されており、CPU1の指示により所定のタイミングで読み出され、出力される。

【0018】上記RAM MODEは、データRAM14のデータバス幅を設定するための変数データであり、0, 1, 2および3の値をとる。「0」の場合には、データを32ビットで、かつ、データバスを32ビット(A10=0, A11=0)に設定し、「1」の場合には、データを32ビットで、かつ、データバスを16ビット(A10=1, A11=0)に設定する。また、「2」の場合には、データを24ビットで、かつ、データバスを8ビット(A10=0, A11=1)に設定し、「3」の場合には、データを32ビットで、かつ、データバスを8ビット(A10=1, A11=1)に設定する。

【0019】次に、上記CLR START STEPは、メモリクリアを開始させるマイクロプログラムステップ番地を示す。また、CLR END STEPは、メモリクリアを終了させるマイクロプログラムステップ番地を示す。さらに、CLR STはクリアするメモリの先頭番地を示し、CLRRNGはクリアするメモリ量、CLR COMMANDはメモリクリアの指示を示す。

【0020】また、図2(b)はマイクロプログラムメモリ7に格納されるマイクロプログラムを示す説明図である。この図において、マイクロプログラムメモリ7は、全体で256ステップからなり、順次、マイクロプログラムMP0, MP1, MP2およびMP3が記憶される。各々のマイクロプログラムは、1つの楽音を合成するための楽音発生プログラムであり、この例の場合、通常、4つの楽音が時分割で合成される。

【0021】発音を終了すると、その終了した楽音のマイクロプログラム領域を、バラメータバッファのCLR START STEPおよびCLR END STEPで指定し、CLR COMMANDをセットする。CLR COMMANDがセットされると、そのマイクロプログラム領域が実行されている間は、メモリクリア処理動作が行なわれ、START STEPとEND STEP間でDSP3が処理動作している間、メモリクリア(メモリRAM14に「0」を書込む処理)が実行される。

【0022】次に、図3は、データR/W制御部11の構成を示す回路図である。この図において、データR/W制御部11は、データを書込む際のデータ組替えのライドレジスタ11a, セレクタ11bおよびライ

トデータバッファ11cと、データを読み込む際のデータ組替えのセレクタ11dおよびリードデータバッファ11eおよびラッチパルス発生部11fと、これらに対して、データ組替えにおけるデータ分割を円滑に行なうための各種タイミング信号および制御信号を出力するタイミング信号発生部11gとから構成されている。

【0023】上記タイミング信号発生部11gの詳細な構成を図4に示す。この図において、タイミング信号発生部11gは、タイミング発生部11q1とADLBカウンタ11q2から構成される。タイミング発生部11q1には、制御部8からのメモリアクセスシーケンス開始信号SS、データ書き込みに関する命令／処理が実行される際のメモリ書き込み信号WDおよびメモリとの接続形式を指定するための指定信号A10、A11が供給されている。また、システムクロックφ2、制御部8からのアドレス更新指示信号INCがADLB(Address Low Bits)カウンタ11q2に供給されている。このADLBカウンタ11q2は、アドレス更新指示信号INCに従ってアドレス下位更新信号A1NC0およびA1NC1を生成し、これらをタイミング発生部11q1の入力端IN1、IN2へ供給するとともに、データメモリアドレス制御部10へ供給する。

【0024】タイミング発生部11q1は、上述した信号に従って、データを保持するためのラッチタイミング信号WDLをライトデータレジスタ11aへ供給し、データ幅を組替えるための組替え選択信号SEL0、SEL1およびSEL2をセレクタ11bへ供給する。また、ライトデータバッファ11cに格納されたデータを出力させるための出力制御信号WDOEをライトデータバッファ11cのOE端子へ供給し、データを保持するためのラッチタイミング信号RDL0、RDL1、RDL2およびRDL3をリードデータバッファ11eへ供給する。

【0025】次に、図3に示すライトデータレジスタ11aは、8ビット長のレジスタが4段、並列に構成されたものであり、ラッチタイミング信号WDLに従って、データRAM14への書き込みデータWDATA(32ビット)を8ビット毎に分割して、上記4段のレジスタ11a1、11a2、11a3および11a4へそれぞれ格納する。

【0026】セレクタ11bは、データ幅を組替えるための選択手段であり、組替え選択信号SEL0、SEL1およびSEL2に従って上記ライトデータレジスタ11aのいずれかのレジスタに格納された書き込みデータWDATA(8ビット)をライトデータバッファ11cのバッファ11c3または11c4のいずれかへ書き込む。上記ライトデータバッファ11cは、上記ライトデータレジスタ11aと同様の構成をしており、出力制御信号WDOEに従って、レジスタ11c1、11c2、11c3および11c4へ書き込まれた書き込みデータ(WDATA)をデ

ータRAM14へ出力する。

【0027】次に、セレクタ11dは、上記セレクタ11bと同様にデータ幅を組替えるための選択手段であり、セレクタ11d1、11d2および11d3から構成されている。このセレクタ11dは、上述したメモリRAM14との接続形式を指定するための指定信号A10、A11に従って上記メモリRAM14から出力される8ビットのデータDATAを順次リードデータバッファ11eのそれぞれに対応したレジスタへ書き込む。リードデータバッファ11eは、ライトデータバッファ11cと同様に、4段のバッファ11e1、11e2、11e3および11e4から構成されている。このリードデータバッファ11eは、ラッチタイミングRDL0～RDL3に従って、各レジスタへ書き込まれたデータDATA(8ビット)を選択的に読み込みデータRDATAとして32ビットのラッチ11hへ出力する。

【0028】ラッチパルス発生部11fは、リードデータバッファ11eの各レジスタに8ビットのデータが格納されると、ラッチタイミングRDL0～RDL3に従ってラッチ信号DLCHを上記ラッチ11hへ供給する。ラッチ11hは、ラッチ信号DLCHに従ってリードデータバッファ11eに格納されている8ビットのデータを32ビットのパラレルデータとして読み出し、データバスDBへ出力する。

【0029】次に、図5は、図1に示すデータメモリアドレス制御部10の一部の詳細な構成を示す回路図である。この図において、データメモリアドレス制御部10は、ラッチ(フィリップフロップ)10a、セレクタ10b、10c、加算器10d、ラッチ10eなどから構成されている。

【0030】セレクタ10bは、メモリリフレッシュ期間を示すタイミング信号REFに従って、該タイミング信号REFが供給されている間は、メモリリフレッシュアドレスREFAを、メモリRAM14をアクセスするための上位アドレスとして選択し、これをラッチ10eへ供給する。一方、タイミング信号REFが供給されていない間は、ラッチ10aに保持されたDSP内部のメモリアドレスIADR0～IADR19(20ビット)の上位アドレスを、メモリRAM14をアクセスするための上位アドレスとして選択し、これをラッチ10eへ供給する。

【0031】また、セレクタ10cは、上述したメモリとの接続形式の指定信号A10、A11およびアドレス下位更新信号A1NC0およびA1NC1に従って、メモリアドレスIADR0～IADR19(20ビット)の下位アドレスを修飾し、加算器10dの一方の入力端Bへ供給する。

【0032】上記加算器10dの他方の入力端Aには、上記メモリアドレスIADR0～IADR19(20ビット)の下位アドレスがそのまま(アンド回路を介し

て)供給されており、リフレッシュ時と通常のアクセス時とにおける下位アドレスを選択し、これをラッチ10eへ供給する。ラッチ10eは、上述した上位アドレスと下位アドレスを、システムクロック ϕ_2 に同期させて、20ビットのアドレスADRS0～ADRS19としてメモリRAM14へ出力する。

【0033】次に、図6は、データメモリアドレス制御部10の一部の回路であり、上述したデータRAMアドレス制御部10におけるリフレッシュアドレスREFAおよびリフレッシュ期間を示すタイミング信号REFを生成するためのリフレッシュカウンタ部の構成を示す回路図である。この図において、タイミング発生回路10fは、システムクロック ϕ_2 と、データRAM14へのアクセスが ϕ_3 サイクル期間無いことを示すブランク信号BRANKに基づいて、タイミング信号REFを生成する。また、REFカウンタ10gは、システムクロック ϕ_2 と、上記タイミング発生回路10fが生成した信号RFCUPに基づいてリフレッシュアドレスREFAを生成する。

【0034】次に、図7は、データメモリアドレス制御部10の一部の回路であり、メモリRAM14をクリアする際のアドレスを生成するクリアアドレス生成部の構成を示す回路図である。この図において、AND回路10h、ラッチ(フリップフロップ)10i1～10i6および多負入力端を有するAND回路10jは、メモリライト信号MW、メモリリード信号MRおよび演算処理部9からのアドレスデータOPADRS0～OPADRS19に基づいてメモリRAM14に対するアクセスが3サイクルの間、無いことを示すブランク信号BRANKを生成し、これを図6に示すリフレッシュカウンタ部へ供給する。

【0035】また、タイミング発生回路10kは、上記クリア開始指示信号CLEARが供給されると、クロック中に同期させて、メモリクリア開始アドレスロード信号LOADおよびメモリクリアアドレス更新指示信号CUPを生成し、これらの信号をカウンタ10lへ供給する。また、同タイミング発生回路10kは、メモリクリア時のメモリライト信号CLRWRTをセレクタ10n1の一方の入力端へ供給する。また、同様に、メモリクリアアドレス出力選択信号CLRADRSをセレクト制御信号としてセレクタ10n1～10n3へ供給する。

【0036】また、カウンタ10lは、メモリクリア開始アドレスデータCLRST、メモリクリア開始アドレスロード信号LOADおよびメモリクリアアドレス更新指示信号CUPに基づいてクリアアドレスCLADを生成し、これをセレクタ10n3の一方の入力端へ供給するとともに、排他的NOR回路10pの一方の入力端へ供給する。また、加算器10mは、メモリクリア開始アドレスデータCLRSTおよびメモリクリアレンジ(クリアするメモリ量)を示すクリアレンジデータCLPRG

を加算した結果を上記排他的NOR回路10pの他方の入力端へ供給する。排他的NOR回路10pは、上記クリアアドレスCLADと加算器10mの加算結果との排他的論理和をとり、これを否定した後、メモリクリア最終アドレス検出信号ENDEQとしてタイミング生成回路10kへ供給する。

【0037】また、セレクタ10n1は、上記メモリクリアアドレス出力選択信号CLRADRSがハイレベルになると、メモリライト信号CLRWRTをR/W信号インターフェイス部10qへ供給する。一方、メモリクリアアドレス出力選択信号CLRADRSがローレベルの場合は、上記メモリライト信号MWをR/W信号インターフェイス部10qへ供給する。

【0038】また、セレクタ10n2は、上記メモリクリアアドレス出力選択信号CLRADRSがハイレベルになると、ローレベルの信号を上記R/W信号インターフェイス部10qへ供給する。一方、メモリクリアアドレス出力選択信号CLRADRSがローレベルの場合は、上記メモリリード信号MRをR/W信号インターフェイス部10qへ供給する。

【0039】また、セレクタ10n3は、メモリクリアアドレス出力選択信号CLRADRSがハイレベルになると、クリアアドレスCLADをラッチ(フリップフロップ)10i7へ供給する。一方、メモリクリアアドレス出力選択信号CLRADRSがローレベルの場合は、上記アドレスデータOPADRS0～OPADRS19をラッチ10i7へ供給する。ラッチ10i7は、上記クリアアドレスCLADまたは上記アドレスデータOPADRS0～OPADRS19をDSP内部のメモリアドレスIADR0～IADR19として図5に示すアドレス出力部へ供給する。

【0040】次に、R/W信号インターフェイス部10qは、メモリリード信号MR、メモリライト信号MWに基づいてデータメモリライト信号WRITEおよびデータメモリリード信号READをどう出力するか、その生成のパターンをプログラムするためのパターンデータR/W PATTERNに従って、上記データメモリライト信号WRITEおよびデータメモリリード信号READを生成し、これらを各々、ラッチ10i8、10i9へ供給する。ラッチ10i8、10i9は、クロック中に同期させてそれぞれデータメモリライト信号WRITEおよびデータメモリリード信号READをメモリRAM14へ供給する。

【0041】次に、上述した構成による楽音信号演算処理回路の動作について、図8ないし図13を参照して説明する。

【32ビット長データ：32ビット幅メモリ】図8は32ビットのデータを、そのまま分割せずに32ビット幅のメモリに対して書き込み、読み込みを行なう場合の各部のタイミングチャートである。

【0042】<書込み動作>まず、32ビット長のデータの書込み動作について説明する。この図において、クロック中およびその1/2周期のクロック中2が図1に示すシステムクロック発生部13から各部へ出力される。まず、時刻t1において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング信号発生部11gへ出力し、次に、クロック中2の立上がりエッジのタイミング(時刻t2)で、データバスDBに32ビットの書込みデータWDATAを出力する。タイミング信号発生部11gは、クロック中2の次の立上がりエッジのタイミング(時刻t3)で、ラッチタイミング信号WDLをハイレベルとする。このラッチタイミング信号WDLがハイレベルとなることで、32ビットの書込みデータWDATAがライトデータレジスタ11aに8ビット毎にラッチされるとともに出力される(図示のライトデータレジスタ出力を参照)。

【0043】この場合、セレクタ11bに供給されるデータ幅の組替え選択のためのセレクト信号SEL0～SEL2は、組替えの必要がないため、ローレベルの状態をとる。したがって、ライトデータレジスタ11aが出力する書込みデータWDATAは、そのままライトデータバッファ11cに供給されて格納される。次に、時刻t4において、出力制御信号WDOEがハイレベルとなり、ライトデータバッファ11cに格納されていた上記書込みデータWDATAがデータバスへ出力される。この時、図5に示すアドレス制御部が書込みアドレスを示すアドレスADRSを出力する。そして、時刻t5において、制御部8がメモリRAM14への書込み信号WRITEをハイレベルにすると(この場合、読み込み信号READは、当然、ローレベルである)、上記データバスへ出力された書込みデータWDATAがメモリRAM14へ書込まれる。

【0044】<読み込み動作>次に、読み込み動作について説明する。まず、時刻t6において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング信号発生部11gへ出力し、次に、クロック中2の立上がりエッジのタイミング(時刻t7)で、図5に示すアドレス制御部が読み込みアドレスを示すアドレスADRSを出力するとともに、制御部8がメモリRAM14への読み込み信号READをハイレベルにする。読み込み信号READがハイレベルになると、メモリRAM14は、上記アドレスADRSに従ってデータDATAをデータバスへ出力する。

【0045】次に、時刻t8において、制御部8がラッチタイミング信号RDLO～RDLSをハイレベルにすると、上記データDATAはセレクタ11dを介して、リードデータバッファ11eに格納されるとともに、32ビットのラッチ11hへ出力される。そして、ラッチハルス発生部11fが上記ラッチタイミング信号RDLO～RDLSに従ってデータラッチ信号DLCHをハイ

10 レベルにし(図示略)、上記リードデータバッファ11eから出力された32ビット長のデータDATAをラッチするとともに、データバスDBへ読み込みデータRDATAとして出力する。

【0046】[32ビット長データ:16ビット幅メモリ(2分割)] 次に、図9は32ビットのデータを、2分割して16ビット幅のメモリに対して書込み、読み込みを行なう場合の各部のタイミングチャートである。なお、この場合には、図3に示すライトデータバッファ11cとメモリRAM14との間のデータは16ビット長であり、データの書込みの際には、バッファ11c3と11c4が用いられる。同様に、読み込み側に関しても、データバスの下位16ビットにのみデータが出力される。

【0047】<書込み動作>まず、書込み動作について説明する。この図において、まず、時刻t1において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング信号発生部11gへ出力し、次に、クロック中2の立上がりエッジのタイミング(時刻t2)で、データバスDBに32ビットの書込みデータWDATAを出力する。また、この時、セレクト制御信号SEL0およびSEL1(からなる2ビット)を「2」とし、さらにセレクト制御信号SEL2をハイレベルにする。次に、タイミング信号発生部11gは、クロック中2の次の立上がりエッジのタイミング(時刻t3)で、ラッチタイミング信号WDLをハイレベルにするとともに、アドレス下位更新信号AINC0およびAINC1を「0」とする。このラッチタイミング信号WDLがハイレベルとなることで、32ビットの書込みデータWDATAがライトデータレジスタ11aに8ビット毎にラッチされるとともに出力される(図示のライトデータレジスタ出力を参照)。

【0048】この場合、セレクタ11bに供給されるデータ幅の組替え選択のためのセレクト信号SEL0～SEL2は、上述したような状態をとっているため、ライトデータレジスタ11aが出力する書込みデータWDATAの上位側の17ビット目～24ビット目の書込みデータWDATA16～WDATA23がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。また、上記書込みデータWDATAの上位側の25ビット目から32ビット目の書込みデータWDATA24～WDATA31がセレクタ11b1によって選択され、ライトデータバッファ11cのバッファ11c3へ格納される。

【0049】次に、時刻t4において、出力制御信号WDOEがハイレベルとなり、ライトデータバッファ11cに格納されていた上記書込みデータWDATAがデータバスへ出力される。この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC1(=共に0)、接続形式の指定信号AIN0およびAIN1

11

(=1, 0) 等に基づいて書込みアドレスを示すアドレスADR Sを出力する。この場合、アドレスADR Sは、上位ビット側の書込みデータWDATA16~WDATA31を書込むためのアドレスを示す(図9に示すアドレス(ADR S+0)を参照)。そして、時刻t5において、制御部8がメモリRAM14への書込み信号WR1TEをハイレベルにすると(この場合、読み込み信号READは、当然、ローレベルである)、上記データバスへ出力された上位ビット側の書込みデータWDATA16~WDATA31がメモリRAM14の所定のアドレスへ書込まれる。

[0050] また、上述した時刻t4では、一旦、ラッチタイミング信号WDLをローレベルにするとともに、セレクト信号SEL0およびSEL1を「00」とし、セレクト信号SEL2をローレベルにする。そして、時刻t6において、再び、ラッチタイミング信号WDLをハイレベルにすることで、ライトデータレジスタ11aによって書込みデータWDATAをラッチするとともに出力する。この場合、セレクタ11bに供給されるデータ幅の組替え選択のためのセレクト信号SEL0~SEL2は、上述したような状態をとっているため、ライトデータレジスタ11aが outputする書込みデータWDATAの下位側の1ビット目~8ビット目の書込みデータWDATA0~WDATA7がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。また、上記書込みデータWDATAの下位側の9ビット目から16ビット目の書込みデータWDATA8~WDATA15がセレクタ11b1によって選択され、ライトデータバッファ11cのバッファ11c3へ格納される。

[0051] また、上述した時刻t5では、書込み信号WR1TEとともに、アドレス更新指示信号INCをハイレベルにするため、時刻t5の次のクロック中2の立上がりエッジにおいて図4に示すタイミング信号制御部が outputするアドレス下位更新信号AINC0およびAINC1が「01」となる。この結果、書込みアドレスを示すアドレスADR Sは下位側の書込みデータWDATA0~WDATA15を書込むためのアドレスを示すようになる(図9に示すアドレス(ADR S+1)を参照)。そして、時刻t6において、制御部8がメモリRAM14への書込み信号WR1TEを、再び、ハイレベルにすると、上記データバスへ出力された下位側の書込みデータWDATA0~WDATA15がメモリRAM14の所定のアドレスへ書込まれる。

[0052] <読み込み動作> 次に、読み込み動作について説明する。まず、図9に示す時刻t7において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング信号発生部11gへ出力し、次に、クロック中2の立上がりエッジのタイミング(時刻t8)で、図5に示すアドレス制御部が読み込みアドレスを示すアドレス

12

ADR Sを出力する。次に、タイミング信号発生部11gは、クロック中2の次の立上がりエッジのタイミング(時刻t9)で、アドレス下位更新信号AINC0およびAINC1を「0」とする。

[0053] この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC1(=共に0)、接続形式の指定信号AI0およびAI1(=1, 0)等に基づいて読み込みアドレスを示すアドレスADR Sを出力する。この場合、アドレスADR Sは、上位

10 側の読み込みデータRDATA16~RDATA31を読み込むためのアドレスを示す(図9に示すアドレス(ADR S+0)を参照)。そして、時刻t10において、制御部8がメモリRAM14への読み込み信号READをハイレベルにすると、メモリRAM14は、上記アドレスADR S(アドレス(ADR S+0))に従ってデータDATA16~DATA31をデータバスへ出力する。

[0054] 次に、時刻t12において、制御部8がラッチタイミング信号RDL0およびRDL1をローレベル、ラッチタイミング信号RDL2およびRDL3をハイレベルにする。この時、セレクタ11dとメモリRAM14との接続形式の指定信号AI0およびAI1は、各々、「1」と「0」に設定されているため、上記データDATA16~DATA31のうち、データDATA24~DATA31は、セレクタ11d1を介して、リードデータバッファ11eのバッファ11e1に格納されるとともにラッチ11hへ出力され、データDATA16~DATA23は、セレクタ11d2を介して、リードデータバッファ11eのバッファ11e2に格納されるとともにラッチ11hへ出力される。

20 [0055] また、上述した時刻t12の1つ前のタイミング(時刻t11)では、アドレス更新指示信号INCがハイレベルとなり、図4に示すタイミング信号制御部が outputするアドレス下位更新信号AINC0およびAINC1が「01」となる。この結果、書込みアドレスを示すアドレスADR Sは下位側の読み込みデータRDATA0~RDATA15を読み込むためのアドレスを示すようになる(図9に示すアドレス(ADR S+1)を参照)。そして、時刻t13において、メモリRAM14は、上記アドレスADR S(アドレス(ADR S+1))に従ってデータDATA0~DATA15をデータバスへ出力する。

30 [0056] 次に、時刻t14において、制御部8がラッチタイミング信号RDL0およびRDL1をハイレベル、ラッチタイミング信号RDL2およびRDL3をローレベルにする。このため、上記データDATA0~DATA15のうち、データDATA8~DATA15は、セレクタ11d3を介して、リードデータバッファ11eのバッファ11e3に格納されるとともにラッチ11hへ出力され、データDATA0~DATA7は、直接、リードデータバッファ11eのバッファ11e4に格納さ

40 れる。

れるとともにラッチ11hへ出力される。

【0057】そして、ラッチパルス発生部11fが上記ラッチタイミング信号RDL0～RDL3に従ってデータラッチ信号DLCHをハイレベルにし、上記リードデータバッファ11eから出力された32ビット長のデータDATAをラッチするとともに、データバスDBへ読み込みデータRDATaとして出力する。

【0058】[24ビット長データ：8ビット幅メモリ(3分割)] 次に、図10は24ビットのデータを、3分割して8ビット幅のメモリに対して書き込み、読み込みを行なう場合の各部のタイミングチャートである。なお、この場合には、図3に示すライトデータバッファ11cとメモリRAM14との間のデータは8ビット長であり、データの書き込みの際には、バッファ11c4が用いられる。同様に、読み込み側に関しても、データバスの下位8ビットにのみデータが出力される。

【0059】<書き込み動作>まず、書き込み動作について説明する。この図において、まず、時刻t1において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング信号発生部11gへ出力し、次に、クロックΦ2の立上がりエッジのタイミング(時刻t2)で、データバスDBに24ビットの書き込みデータWDATaを出力する。また、この時、セレクト制御信号SEL0およびSEL1を「2」とする。この場合、セレクト制御信号SEL2の状態は問わない。次に、タイミング信号発生部11gは、クロックΦ2の次の立上がりエッジのタイミング(時刻t3)で、ラッチタイミング信号WDLをハイレベルにするとともに、アドレス下位更新信号AINC0およびAINC1を「0」とする。上記ラッチタイミング信号WDLがハイレベルとなることで、24ビットの書き込みデータWDATaがライトデータレジスタ11aに8ビット毎にラッチされるとともに出力される。

【0060】この場合、セレクタ11bに供給されるデータ幅の組替え選択のためのセレクト信号SEL0およびSEL1は、上述したような状態をとっているため、ライトデータレジスタ11aが出力する書き込みデータWDATaの上位側の書き込みデータWDATa16～WDATa23がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。

【0061】次に、時刻t4において、出力制御信号WDOEがハイレベルとなり、バッファ11c4に格納されていた上記書き込みデータWDATa16～WDATa23(図10に示すDATAH)がデータバスへ出力される。この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC1(=共に0)、接続形式の指定信号AI0およびAI1(=1,0)等に基づいて書き込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、上位ヒット側の書き込みデータWDATa16～WDATa23を書き込むため

のアドレスを示す(図10に示すアドレス(ADRS+0)を参照)。そして、時刻t5において、制御部8がメモリRAM14への書き込み信号WRITEをハイレベルにすると、上記データバスへ出力された上位ビット側の書き込みデータWDATa16～WDATa23がメモリRAM14の所定のアドレス(ADRS+0)へ書き込まれる。

【0062】また、上述した時刻t4では、一旦、ラッチタイミング信号WDLをローレベルにするとともに、10セレクト信号SEL0およびSEL1を「1」にする。そして、時刻t6において、再び、ラッチタイミング信号WDLをハイレベルにすることで、ライトデータレジスタ11aによって書き込みデータWDATaをラッチするとともに出力する。この場合、セレクタ11bに供給されるデータ幅の組替え選択のためのセレクト信号SEL0およびSEL1は、「1」であるため、ライトデータレジスタ11aが出力する書き込みデータWDATaの中位側の書き込みデータWDATa8～WDATa15がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。

【0063】また、上述した時刻t5では、書き込み信号WRITEとともに、アドレス更新指示信号INCをハイレベルにするため、時刻t5の次のクロックΦ2の立上がりエッジにおいて図4に示すタイミング信号制御部が出力するアドレス下位更新信号AINC0およびAINC2が「1」となる。

【0064】次に、時刻t7においては、出力制御信号WDOEがハイレベルであるため、バッファ11c4に格納されていた上記書き込みデータWDATa8～WDATa15(図10に示すDATAM)がデータバスへ出力される。この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC2、接続形式の指定信号AI0およびAI1(=1,0)等に基づいて書き込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、中位側の書き込みデータWDATa8～WDATa15を書き込むためのアドレスを示す(図10に示すアドレス(ADRS+1)を参照)。そして、時刻t8において、制御部8がメモリRAM14への書き込み信号WRITEを再びハイレベルにすると、40上記データバスへ出力された中位側の書き込みデータWDATa8～WDATa15がメモリRAM14の所定のアドレス(ADRS+1)へ書き込まれる。

【0065】また、上述した時刻t7では、一旦、ラッチタイミング信号WDLをローレベルにするとともに、セレクト信号SEL0およびSEL1を「0」にする。そして、時刻t9において、再び、ラッチタイミング信号WDLをハイレベルにすることで、ライトデータレジスタ11aによって書き込みデータWDATaをラッチするとともに出力する。この場合、セレクタ11bに供給されるデータ幅の組替え選択のためのセレクト信号SEL1、

0およびSEL1は、「0」であるため、ライトデータレジスタ11aが出力する書き込みデータW DATAの下位側の書き込みデータW DATA0～W DATA7がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。

【0066】また、上述した時刻t8では、書き込み信号WRITEとともに、アドレス更新指示信号INCをハイレベルにするため、次のクロック中2の立上がりエッジにおいて、タイミング信号制御部がに出力するアドレス下位更新信号AINC0およびAINC1が「2」となる。次に、時刻t10においては、出力制御信号WDOEがハイレベルであるため、バッファ11c4へ格納されていた上記書き込みデータW DATA0～W DATA7(図10に示すDATA L)がデータバスへ出力される。この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC2、接続形式の指定信号AINC0およびAINC1(=1,0)等に基づいて書き込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、下位側の書き込みデータW DATA0～W DATA7を書き込むためのアドレスを示す(図10に示すアドレス(ADRS+2)を参照)。そして、時刻t11において、制御部8がメモリRAM14への書き込み信号WRITEを再びハイレベルにすると、上記データバスへ出力された下位側の書き込みデータW DATA0～W DATA7がメモリRAM14の所定のアドレス(ADRS+2)へ書き込まれる。

【0067】<読み込み動作>次に、読み込み動作について説明する。まず、図10に示す時刻t11において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング信号発生部11gへ出力し、次に、クロック中2の立上がりエッジのタイミング(時刻t12)で、図5に示すアドレス制御部が読み込みアドレスを示すアドレスADRSを出力する。次に、タイミング信号発生部11gは、クロック中2の次の立上がりエッジのタイミング(時刻t13)で、アドレス下位更新信号AINC0およびAINC1を「0」とする。

【0068】この時、アドレス制御部は、アドレス下位更新信号AINC0およびAINC1(=共に0)、接続形式の指定信号AINC0およびAINC1(=1,0)等に基づいて読み込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、上位側の読み込みデータR DATA16～R DATA23を読み込むためのアドレスを示す(図10に示すアドレス(ADRS+0)を参照)。そして、時刻t14において、制御部8がメモリRAM14への読み込み信号READをハイレベルにすると、メモリRAM14は、上記アドレスADRS(アドレス(ADRS+0))に従ってデータDATA16～DATA23(図示のDATA H)をデータバスへ出力する。

【0069】次に、時刻t16において、制御部8がラッ

チタイミング信号RDL2のみをハイレベルにする。この時、セレクタ11dとメモリRAM14との接続形式の指定信号AINC0およびAINC1は、各々、「1」と「0」に設定されているため(すなわち、「2」に設定されているため)、上記データDATA16～DATA23は、セレクタ11d1～11d3を介して、リードデータバッファ11eへ供給される。この時、上述したように、ラッチタイミング信号RDL2のみがハイレベルであるため、セレクタ11d2を介して供給された読み込みデータR DATA16～R DATA23がバッファ11e2に格納されるとともにラッチ11hへ出力される。

【0070】また、上述した時刻t16の1つ前のタイミング(時刻t15)では、アドレス更新指示信号INCがハイレベルとなり、タイミング信号制御部がに出力するアドレス下位更新信号AINC0およびAINC1が「1」となる。この結果、読み込みアドレスを示すアドレスADRSは中位側の読み込みデータR DATA8～R DATA15を読み込むためのアドレスを示すようになる(図10に示すアドレス(ADRS+1)を参照)。そして、時刻t17において、メモリRAM14は、上記アドレスADRS(アドレス(ADRS+1))に従ってデータDATA8～DATA15(図示のDATA M)をデータバスへ出力する。

【0071】次に、時刻t19において、制御部8がラッチタイミング信号RDL1のみをハイレベルにし、ラッチタイミング信号RDL0およびRDL2をローレベルにする。このため、セレクタ11d3を介して供給されたデータDATA8～DATA15だけがバッファ11e3に格納されるとともにラッチ11hへ出力される。

【0072】また、上述した時刻t19の1つ前のタイミング(時刻t18)では、アドレス更新指示信号INCが再びハイレベルとなり、タイミング信号制御部がに出力するアドレス下位更新信号AINC0およびAINC1が「2」となる。この結果、読み込みアドレスを示すアドレスADRSは下位側の読み込みデータR DATA0～R DATA7を読み込むためのアドレスを示すようになる(図10に示すアドレス(ADRS+2)を参照)。そして、時刻t20において、メモリRAM14は、上記アドレスADRS(アドレス(ADRS+2))に従ってデータDATA0～DATA7(図示のDATA L)をデータバスへ出力する。

【0073】次に、時刻t21において、制御部8がラッチタイミング信号RDL0のみをハイレベルにし、ラッチタイミング信号RDL1およびRDL2をローレベルにする。このため、メモリRAM14から直接、供給されたデータDATA0～DATA7だけがバッファ11e4に格納されるとともにラッチ11hへ出力される。

【0074】そして、ラッチパルス発生部11fが上記ラッチタイミング信号RDL0～RDL3に従って、時

刻 t_{22} において、データラッチ信号 $DLC\ H$ をハイレベルにし、上記リードデータバッファ $11e$ から出力された 24 ビット長のデータ $DATA$ をラッチするとともに、データバス DB へ 24 ビットの読み込みデータ $RDATA$ として出力する。

【0075】[32 ビット長データ: 8 ビット幅メモリ (4 分割)] 次に、図 11 は 32 ビットのデータを、4 分割して 8 ビット幅のメモリに対して書き込み、読み込みを行なう場合の各部のタイミングチャートである。なお、この場合には、図 3 に示すライトデータバッファ $11c$ とメモリ $RAM\ 14$ との間のデータは 8 ビット長であり、データの書き込みの際には、バッファ $11c4$ が用いられる。同様に、読み込み側に関しては、データバスの下位 8 ビットにのみデータが出力される。

【0076】<書き込み動作>まず、書き込み動作について説明する。この図において、まず、時刻 t_1 において、制御部 8 がメモリアクセスシーケンス開始信号 SS をタイミング信号発生部 $11g$ へ出力し、次に、クロック $\Phi 2$ の立上がりエッジのタイミング (時刻 t_2) で、データバス DB に 32 ビットの書き込みデータ $WDATA$ およびメモリアドレス ADR を出力する。また、この時、セレクト制御信号 $SEL\ 0$ および $SEL\ 1$ を「3」とする。この場合、セレクト制御信号 $SEL\ 2$ の状態は問わない。次に、タイミング信号発生部 $11g$ は、クロック $\Phi 2$ の次の立上がりエッジのタイミング (時刻 t_3) で、ラッチタイミング信号 WDL をハイレベルにするとともに、アドレス下位更新信号 $AINC\ 0$ および $AINC\ 2$ を「0」とする。上記ラッチタイミング信号 WDL がハイレベルとなることで、32 ビットの書き込みデータ $WDATA$ がライトデータレジスタ $11a$ に 8 ビット毎にラッチされるとともに出力される。

【0077】この場合、セレクタ $11b$ に供給されるデータ幅の組替え選択のためのセレクト信号 $SEL\ 0$ および $SEL\ 1$ は、上述したように「3」であるため、ライトデータレジスタ $11a$ のレジスタ $11a$ が出力する書き込みデータ $WDATA$ の上位側の書き込みデータ $WDATA_{24\sim31}$ がセレクタ $11b2$ によって選択され、ライトデータバッファ $11c$ のバッファ $11c4$ へ格納される。

【0078】次に、時刻 t_4 において、出力制御信号 $WDOE$ がハイレベルとなり、バッファ $11c4$ に格納されていた上記書き込みデータ $WDATA_{24\sim31}$ (図 11 に示す $DATAH$) がデータバスへ出力される。この時、図 5 に示すアドレス制御部は、アドレス下位更新信号 $AINC\ 0$ および $AINC\ 1$ (= 共に 0)、接続形式の指定信号 $A10$ および $A11$ (= 1, 0) 等に基づいて書き込みアドレスを示すアドレス $ADR\ S$ を出力する。この場合、アドレス $ADR\ S$ は、上位側の書き込みデータ $WDATA_{24\sim31}$ を書き込むためのアドレスを示す (図 11 に示すアドレス $(ADR\ S\ 0)$ を

参照)。そして、時刻 t_5 において、制御部 8 がメモリ $RAM\ 14$ への書き込み信号 $WRITE$ をハイレベルにすると、上記データバスへ出力された上位ビット側の書き込みデータ $WDATA_{24\sim31}$ がメモリ $RAM\ 14$ の所定のアドレス ($ADR\ S\ 0$) へ書き込まれる。

【0079】また、上述した時刻 t_4 では、一旦、ラッチタイミング信号 WDL をローレベルにするとともに、セレクト信号 $SEL\ 0$ および $SEL\ 1$ を「2」にする。そして、時刻 t_6 において、再び、ラッチタイミング信号 WDL をハイレベルにすることで、ライトデータレジスタ $11a$ によって書き込みデータ $WDATA$ をラッチするとともに出力する。この場合、セレクタ $11b$ に供給されるデータ幅の組替え選択のためのセレクト信号 $SEL\ 0$ および $SEL\ 1$ は、「2」であるため、ライトデータレジスタ $11a$ が出力する書き込みデータ $WDATA$ の書き込みデータ $WDATA_{16\sim23}$ がセレクタ $11b2$ によって選択され、ライトデータバッファ $11c$ のバッファ $11c4$ へ格納される。

【0080】また、上述した時刻 t_5 では、書き込み信号 $WRITE$ とともに、アドレス更新指示信号 INC をハイレベルにするとため、時刻 t_5 の次のクロック $\Phi 2$ の立上がりエッジ (時刻 t_6) において図 4 に示すタイミング信号制御部が出力するアドレス下位更新信号 $AINC\ 0$ および $AINC\ 2$ が「1」となる。

【0081】次に、時刻 t_7 においては、出力制御信号 $WDOE$ がハイレベルを維持しているため、バッファ $11c4$ に格納されていた上記書き込みデータ $WDATA_{16\sim23}$ (図 11 に示す $DATAHM$) がデータバスへ出力される。この時、図 5 に示すアドレス制御部は、アドレス下位更新信号 $AINC\ 0$ および $AINC\ 2$ 、接続形式の指定信号 $A10$ および $A11$ 等に基づいて書き込みアドレスを示すアドレス $ADR\ S$ を出力する。この場合、アドレス $ADR\ S$ は、書き込みデータ $WDATA_{16\sim23}$ を書きむためのアドレスを示す (図 11 に示すアドレス $(ADR\ S\ 1)$ を参照)。そして、時刻 t_8 において、制御部 8 がメモリ $RAM\ 14$ への書き込み信号 $WRITE$ を再びハイレベルにすると、上記データバスへ出力された書き込みデータ $WDATA_{16\sim23}$ がメモリ $RAM\ 14$ の所定のアドレス ($ADR\ S\ 1$) へ書き込まれる。

【0082】また、上述した時刻 t_7 では、一旦、ラッチタイミング信号 WDL をローレベルにするとともに、セレクト信号 $SEL\ 0$ および $SEL\ 1$ を「1」にする。そして、時刻 t_9 において、再び、ラッチタイミング信号 WDL をハイレベルにすることで、ライトデータレジスタ $11a$ によって書き込みデータ $WDATA$ をラッチするとともに出力する。この場合、セレクタ $11b$ に供給されるデータ幅の組替え選択のためのセレクト信号 $SEL\ 0$ および $SEL\ 1$ は、「1」であるため、ライトデータレジスタ $11a$ が出力する書き込みデータ $WDATA$ の下

位側の書き込みデータW DATA 8～W DATA 15がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。

【0083】また、上述した時刻t8では、書き込み信号WRITEとともに、アドレス更新指示信号INCをハイレベルにするため、次のクロック中2の立上がりエッジ(時刻t9)において、タイミング信号制御部が出力するアドレス下位更新信号AINC0およびAINC1が「2」となる。

【0084】次に、時刻t10においては、出力制御信号WDOEがハイレベルに保持されているため、バッファ11c4に格納されていた上記書き込みデータW DATA 8～W DATA 15(図11に示すDATA LH)がデータバスへ出力される。この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC2、接続形式の指定信号AINC0およびAINC1等に基づいて書き込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、下位側の書き込みデータW DATA 8～W DATA 15を書き込むためのアドレスを示す(図11に示すアドレス(ADRS+2)を参照)。そして、時刻t11において、制御部8がメモリRAM14への書き込み信号WRITEを再びハイレベルにすると、上記データバスへ出力された書き込みデータW DATA 8～W DATA 15がメモリRAM14の所定のアドレス(ADRS+2)へ書き込まれる。

【0085】また、上述した時刻t10では、一旦、ラッチャタイミング信号WDLをローレベルにするとともに、セレクト信号SEL0およびSEL1を「0」にする。そして、時刻t12において、再び、ラッチャタイミング信号WDLをハイレベルにすることで、ライトデータレジスタ11aによって書き込みデータW DATAをラッチするとともに出力する。この場合、ピット幅の組替え選択のためのセレクト信号SEL0およびSEL1は、「0」であるため、ライトデータレジスタ11aが出力する書き込みデータW DATAの下位側の書き込みデータW DATA 0～W DATA 7がセレクタ11b2によって選択され、ライトデータバッファ11cのバッファ11c4へ格納される。

【0086】また、上述した時刻t11では、書き込み信号WRITEとともに、アドレス更新指示信号INCをハイレベルにするため、次のクロック中2の立上がりエッジ(時刻t12)において、タイミング信号制御部が出力するアドレス下位更新信号AINC0およびAINC1が「3」となる。

【0087】次に、時刻t13においては、出力制御信号WDOEがハイレベルに保持されているため、バッファ11c4に格納されていた上記書き込みデータW DATA 0～W DATA 7(図11に示すDATA L)がデータバスへ出力される。この時、図5に示すアドレス制御部は、アドレス下位更新信号AINC0およびAINC2、

接続形式の指定信号AINC0およびAINC1等に基づいて書き込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、下位側の書き込みデータW DATA 0～W DATA 7を書き込むためのアドレスを示す(図11に示すアドレス(ADRS+3)を参照)。そして、時刻t14において、制御部8がメモリRAM14への書き込み信号WRITEを再びハイレベルにすると、上記データバスへ出力された書き込みデータW DATA 0～W DATA 7がメモリRAM14の所定のアドレス(ADRS+3)へ書き込まれる。

【0088】<読み込み動作>次に、読み込み動作について説明する。まず、図11に示す時刻t15において、制御部8がメモリアクセスシーケンス開始信号SSをタイミング発生部11q1へ出力し、次に、クロック中2の立上がりエッジのタイミング(時刻t16)で、図5に示す制御部8がアドレスIADRを出力する。次に、タイミング信号発生部11gは、クロック中2の次の立上がりエッジのタイミング(時刻t17)で、アドレス下位更新信号AINC0およびAINC1を「0」とする。

【0089】この時、アドレス制御部は、アドレス下位更新信号AINC0およびAINC1(=共に0)、接続形式の指定信号AINC0およびAINC1(=共に1)等に基づいてアドレスIADRを修飾して、メモリRAM14に対する読み込みアドレスを示すアドレスADRSを出力する。この場合、アドレスADRSは、上位側の読み込みデータDATA24～DATA31を読み込むためのアドレスを示す(図11に示すアドレス(ADRS+0)を参照)。そして、時刻t18において、制御部8がメモリRAM14への読み込み信号READをハイレベルにすると、メモリRAM14は、上記アドレスADRS(アドレス(ADRS+0))に従ってデータDATA24～DATA31(図示のDATAH)をデータバスへ出力する。

【0090】次に、時刻t19において、制御部8がラッチャタイミング信号RDL3のみをハイレベルにする。この時、セレクタ11dとメモリRAM14との接続形式の指定信号AINC0およびAINC1は、共に「1」に設定されているため(すなわち、「3」に設定されているため)、上記データDATA24～DATA31は、セレクタ11d1～11d3を介して、リードデータバッファ11eへ供給される。この時、上述したように、ラッチャタイミング信号RDL3のみがハイレベルであるため、セレクタ11d1を介して供給された読み込みデータRDATA24～RDATA31がバッファ11eに格納されるとともにラッチ11hへ出力される。

【0091】また、上述した時刻t19の1つ前のタイミングでは、アドレス更新指示信号INCがハイレベルとなり、タイミング信号制御部が出力するアドレス下位更新信号AINC0およびAINC2が「1」となる。この結果、読み込みアドレスを示すアドレスADRSは読

読み込みデータR DATA16～R DATA23を読み込むためのアドレスを示すようになる(図11に示すアドレス(ADR S+1)を参照)。そして、時刻t 20において、メモリRAM14は、上記アドレスADR S(アドレス(ADR S+1))に従ってデータDATA16～DATA23(図示のDATA M)をデータバスへ出力する。次に、時刻t 21において、制御部8がラッチタイミング信号R DL2のみをハイレベルにする。このため、セレクタ11d2を介して供給されたデータDATA16～DATA23だけがバッファ11e2に格納されるとともにラッチ11hへ出力される。

【0092】また、上述した時刻t 21の1つ前のタイミングでは、アドレス更新指示信号INCが再びハイレベルとなり、タイミング信号制御部が高出力するアドレス下位更新信号AINC0およびAINC1が「2」となる。この結果、読み込みアドレスを示すアドレスADR Sは読み込みデータR DATA8～R DATA15を読み込むためのアドレスを示すようになる(図11に示すアドレス(ADR S+2)を参照)。そして、時刻t 22において、メモリRAM14は、上記アドレスADR S(アドレス(ADR S+2))に従ってデータDATA8～DATA15(図示のDATA H L)をデータバスへ出力する。

【0093】次に、時刻t 23において、制御部8がラッチタイミング信号R DL1のみをハイレベルにする。このため、セレクタ11d3を介して供給されたデータDATA8～DATA15だけがバッファ11e3に格納されるとともにラッチ11hへ出力される。

【0094】また、上述した時刻t 23の1つ前のタイミングでは、アドレス更新指示信号INCが再びハイレベルとなり、タイミング信号制御部が高出力するアドレス下位更新信号AINC0～AINC2が「3」となる。この結果、読み込みアドレスを示すアドレスADR Sは読み込みデータR DATA0～R DATA7を読み込むためのアドレスを示すようになる(図11に示すアドレス(ADR S+3)を参照)。そして、時刻t 24において、メモリRAM14は、上記アドレスADR S(アドレス(ADR S+2))に従ってデータDATA0～DATA7(図示のDATA H L)をデータバスへ出力する。

【0095】次に、時刻t 25において、制御部8がラッチタイミング信号R DL0のみをハイレベルにする。このため、メモリRAM14から直接、供給されたデータDATA0～DATA7だけがバッファ11e4に格納されるとともにラッチ11hへ出力される。

【0096】そして、ラッチハルス発生部11fが上記ラッチタイミング信号R DL0～R DL3に従って、時刻t 26において、データラッチ信号D L C Hをハイレベルにし、上記リードデータバッファ11eから出力された32ビット長のデータDATAをラッチするととも

に、データバスDBへ32ビットの読み込みデータR DATAとして出力する。

【0097】【リフレッシュ動作】次に、図12はリフレッシュ時のアドレス操作動作を説明するためのタイミングチャートである。この図において、メモリRAM14へのアクセスがある場合には、時刻t 1、t 2、t 3、……において、書き込み信号MWまたは読み込み信号MRがクロック中の1サイクル毎に供給される。この場合、リフレッシュ動作は行なわれる。

【0098】一方、上記書き込み信号MWまたは読み込み信号MRがクロック中の3サイクルに相当する期間、供給されない場合には、例えば、図示の時刻t 4において、ブランク信号BRANKがハイレベルとなる。このブランク信号BRANKは、次の書き込み信号MWまたは読み込み信号MRが供給されるまで(ハイレベルになるまで)、保持される。リフレッシュ動作は行なわれる。

【0099】上記ブランク信号BRANKがハイレベルになると、メモリリフレッシュ期間を示すタイミング信号REFがハイレベルになる。タイミング信号REFがハイレベルになると、次のタイミングで、データメモリアドレス制御部10の図5に示すアドレス出力部は、リフレッシュアドレスREF Aを修飾してアドレスADR Sとして出力する。制御部8およびデータR/W制御部11は、上記修飾されたアドレスADR Sに従ってデータの読み込みおよび書き込みを行なう。

【0100】【メモリクリア動作時のアドレス操作】次に、図13はメモリクリア動作時のアドレス操作動作を説明するためのタイミングチャートである。この図において、まず、時刻t 1にメモリRAM14をクリアするためのメモリクリア開始信号CLEARがハイレベルになる。次に、時刻t 2において、クリアすべきメモリの開始アドレスを読み込むメモリクリアスタートアドレスロード信号LOADがハイレベルになる。メモリクリアスタートアドレスロード信号LOADがハイレベルになると、クロック中2の次の立上がりエッジ(時刻t 3)において、クリアを開始するクリアスタートアドレスデータCLR STが図7に示すクリアアドレス生成部へ供給される。

【0101】また、同時刻t 3において、メモリクリアアドレス出力選択信号CLRADRSおよびメモリクリア時のメモリライト信号CLRWRTがハイレベルになる。そして、データメモリ書き込み信号がハイレベルになる毎に(時刻t 4、t 5およびt 6)、アドレスがインクリメントされながらメモリRAM14がクリアされていく。そして、メモリクリア開始信号CLEARが時刻t 6において、ローレベルになると、メモリクリア最終アドレス検出信号ENDEQがハイレベルになり、クリア動作を終了し、同クリア動作を終了したことを示すクリアエンドフラグENDFLGをハイレベルにする。

【0102】以上のように、本実施例では、DSP内部

における演算等は、32ビットあるいは24ビットのままで行ない、メモリRAM14には、32ビットから8ビットまでのデータ幅を有するメモリを用いることができる。この結果、バスラインの本数を少なくでき、実装コストを下げることができる。

【0103】

【発明の効果】以上、説明したように、この発明によれば、変換指示手段の指示に従って、データ幅変換手段が、第1のデータ処理手段において扱われる前記Mビット幅のデータを分割し、Nビット幅のデータとして第2のデータ処理手段へ順次転送するとともに、前記第2のデータ処理手段において扱われる前記Nビット幅のデータを前記分割転送した順に基づいて前記Mビット幅のデータに再構成して、前記第1のデータ処理手段へ転送するようにしたため、システム構成に応じて外部に接続するメモリシステムとのデータバス幅を上述したように、自由に選択・設定でき、安価なメモリを用いることができ、データバスの線数を削減することができるなど、効率的に楽音処理システムを構成できるという利点が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成を示すブロック図である。

【図2】 (a) はパラメータバッファに格納される各種データの構成を示す説明図であり、(b) はマイクロプログラムメモリ7に格納されるマイクロプログラムを示す説明図である。

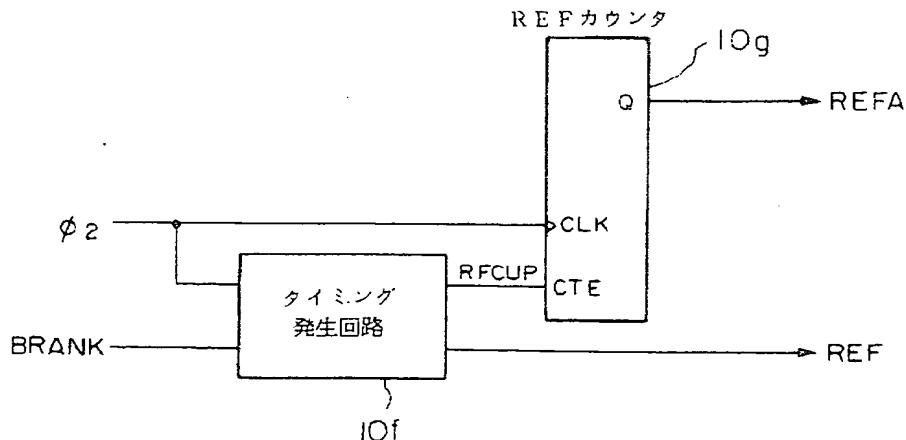
【図3】 図1に示すデータR/W制御部11の構成を示す回路図である。

【図4】 タイミング信号発生部11gの詳細な構成を示す回路図である。

【図5】 図1に示すデータメモリアドレス制御部10の一部の詳細な構成を示す回路図である。

*

【図6】



* 【図6】 データメモリアドレス制御部10の一部の回路であり、上述したデータRAMアドレス制御部10におけるリフレッシュアドレスREFAおよびリフレッシュ期間を示すタイミング信号REFを生成するためのリフレッシュカウンタ部の構成を示す回路図である。

【図7】 データメモリアドレス制御部10の一部の回路であり、メモリRAM14をクリアする際のアドレスを生成するクリアアドレス生成部の構成を示す回路図である。

10 【図8】 同実施例において、32ビットのデータを、そのまま分割せずに32ビット幅のメモリに対して書込み、読み込みを行なう場合の各部のタイミングチャートである。

【図9】 同実施例において、32ビットのデータを、2分割して16ビット幅のメモリに対して書込み、読み込みを行なう場合の各部のタイミングチャートである。

【図10】 同実施例において、24ビットのデータを、3分割して8ビット幅のメモリに対して書込み、読み込みを行なう場合の各部のタイミングチャートである。

20 【図11】 同実施例において、32ビットのデータを、4分割して8ビット幅のメモリに対して書込み、読み込みを行なう場合の各部のタイミングチャートである。

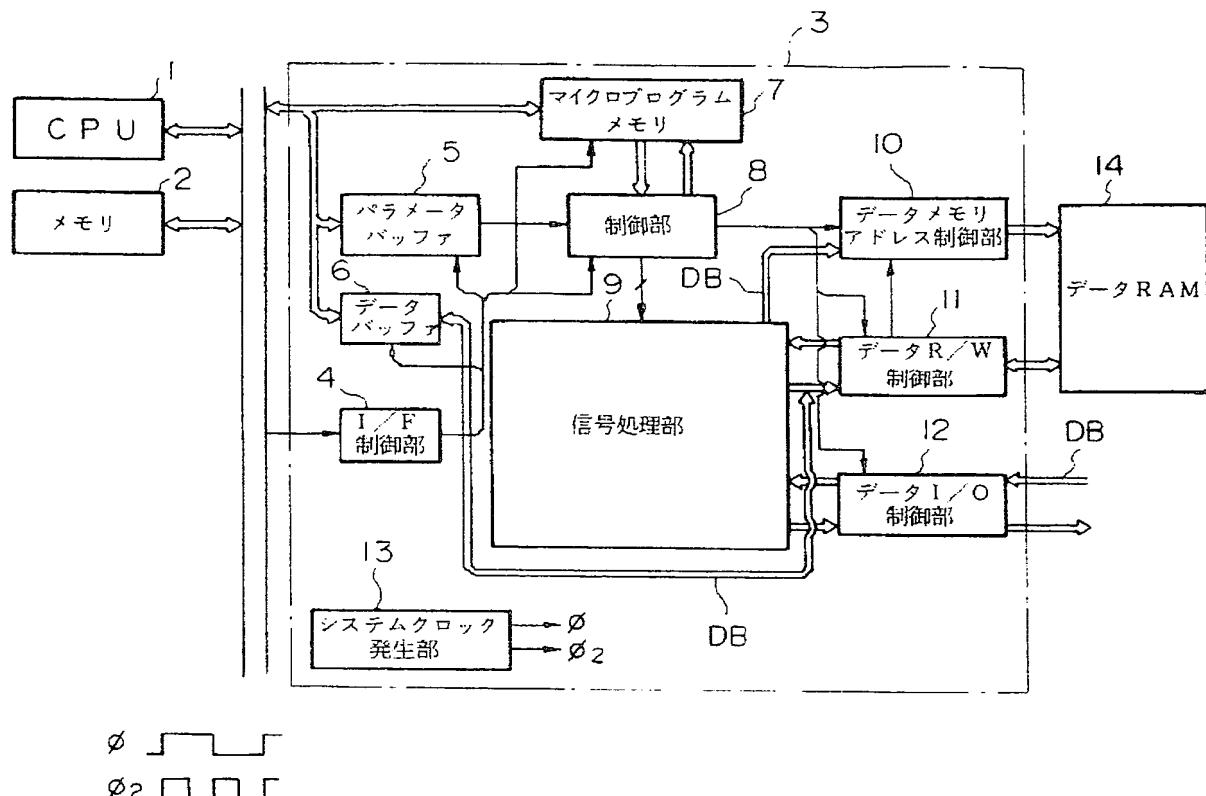
【図12】 リフレッシュ時のアドレス操作動作を説明するためのタイミングチャートである。

【図13】 メモリクリア動作時のアドレス操作動作を説明するためのタイミングチャートである。

【符号の説明】

30 3……DSP (第1のデータ処理手段)、8……制御部 (変換指示手段)、14……データRAM (第2のデータ処理手段)、11……データR/W制御部 (データ幅変換手段)。

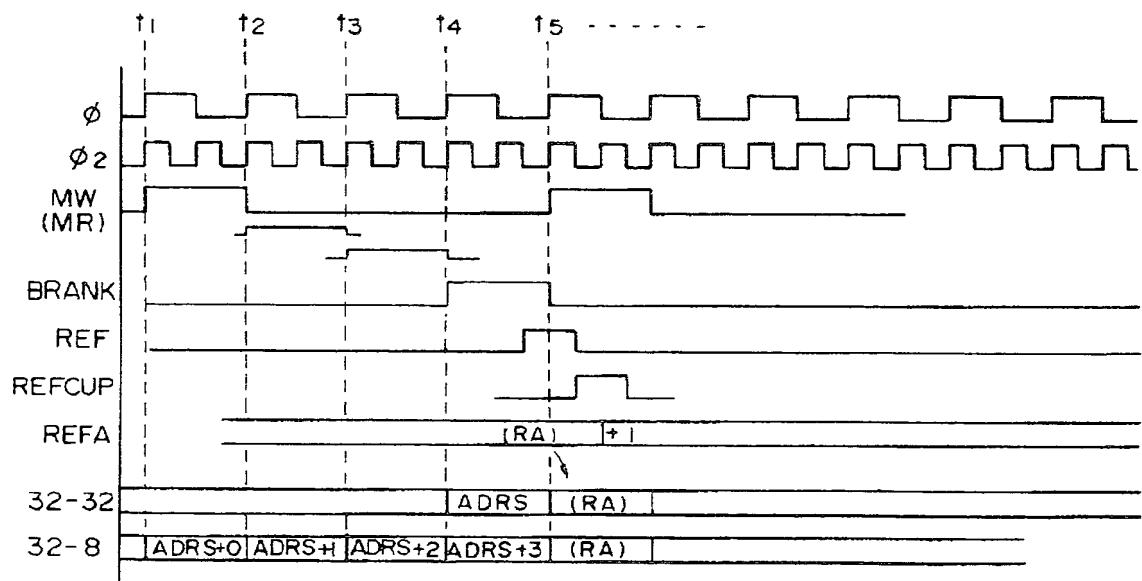
【図1】



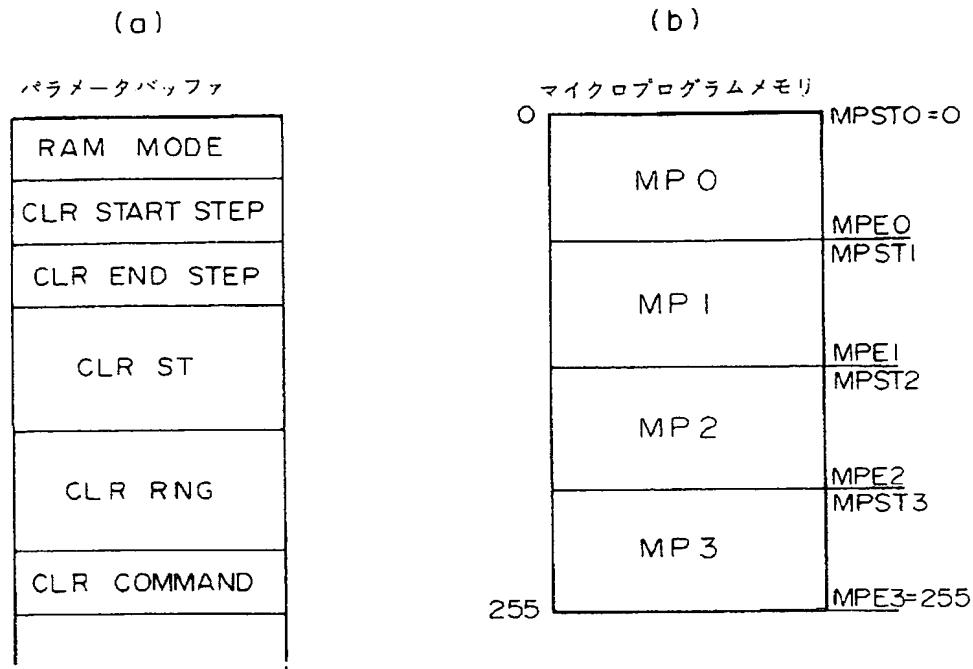
ϕ

ϕ_2

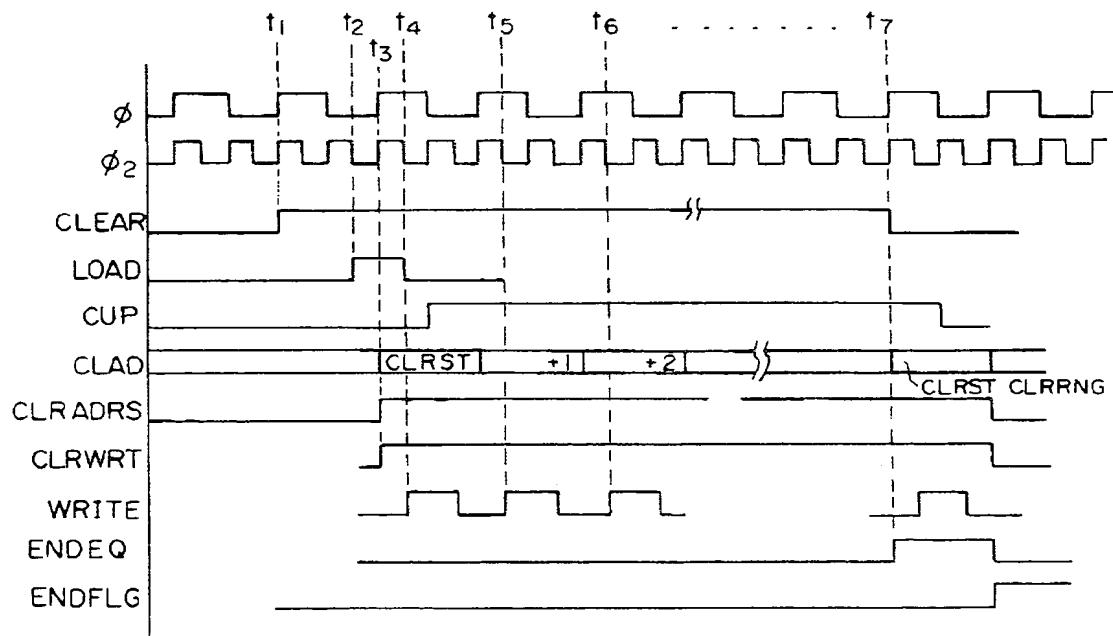
【図12】



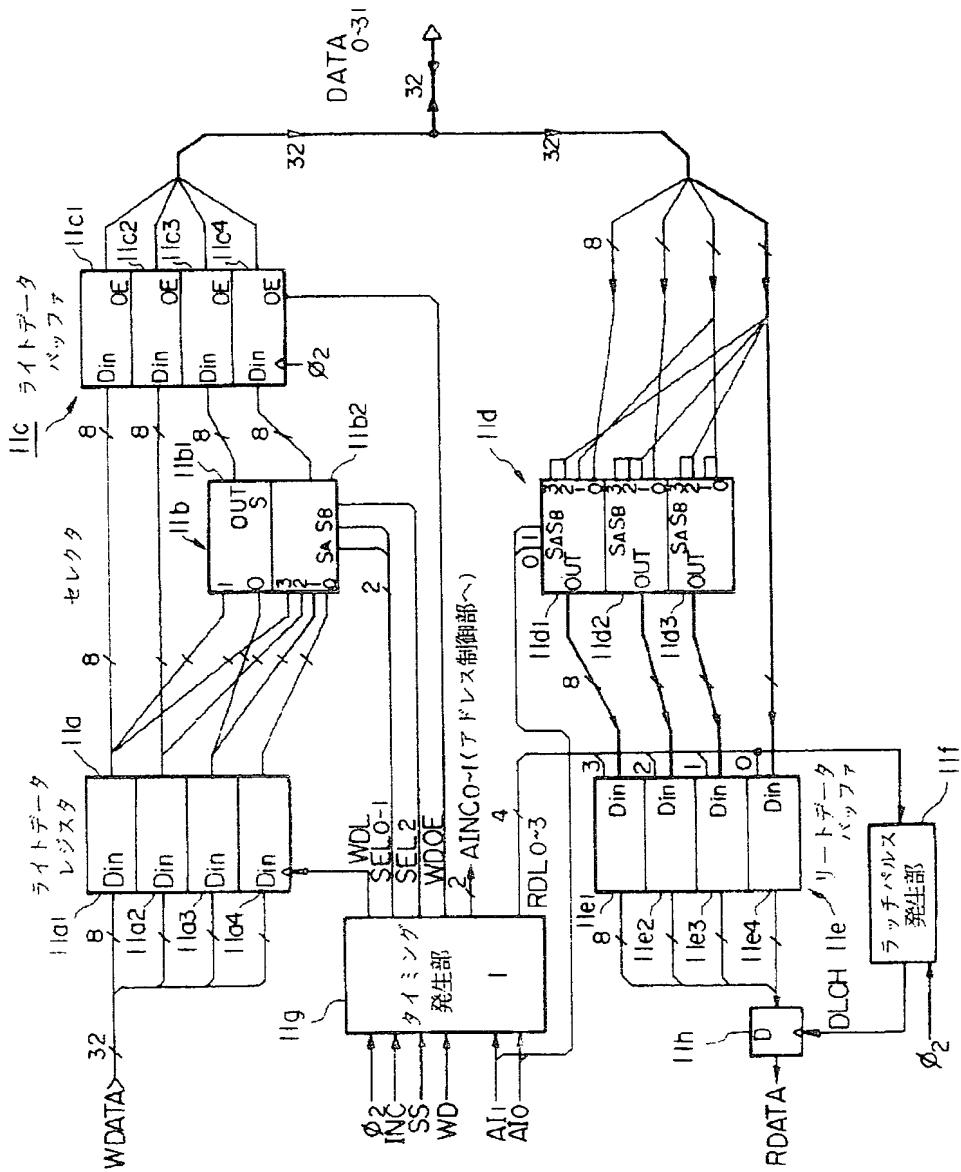
[図2]



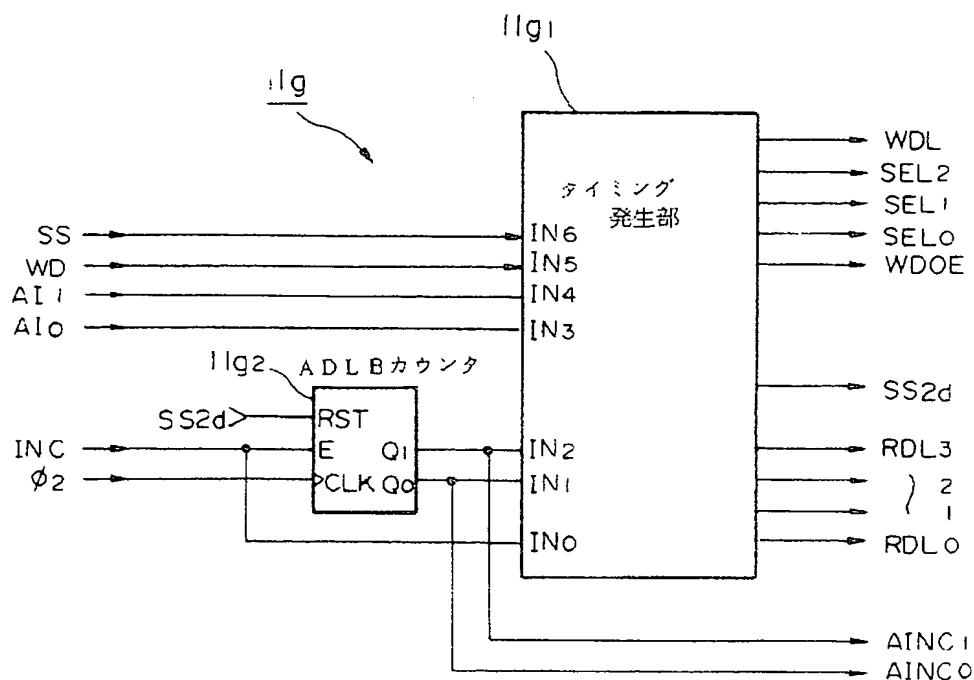
[図13]



[図3]

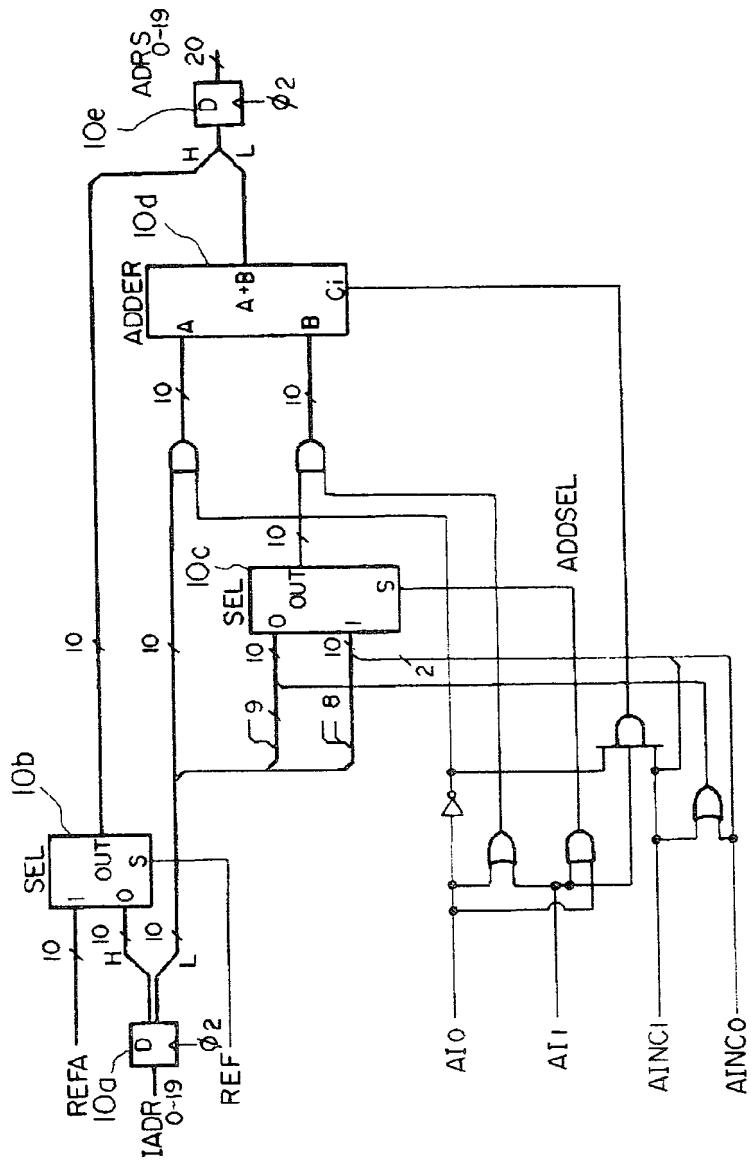


(図4)

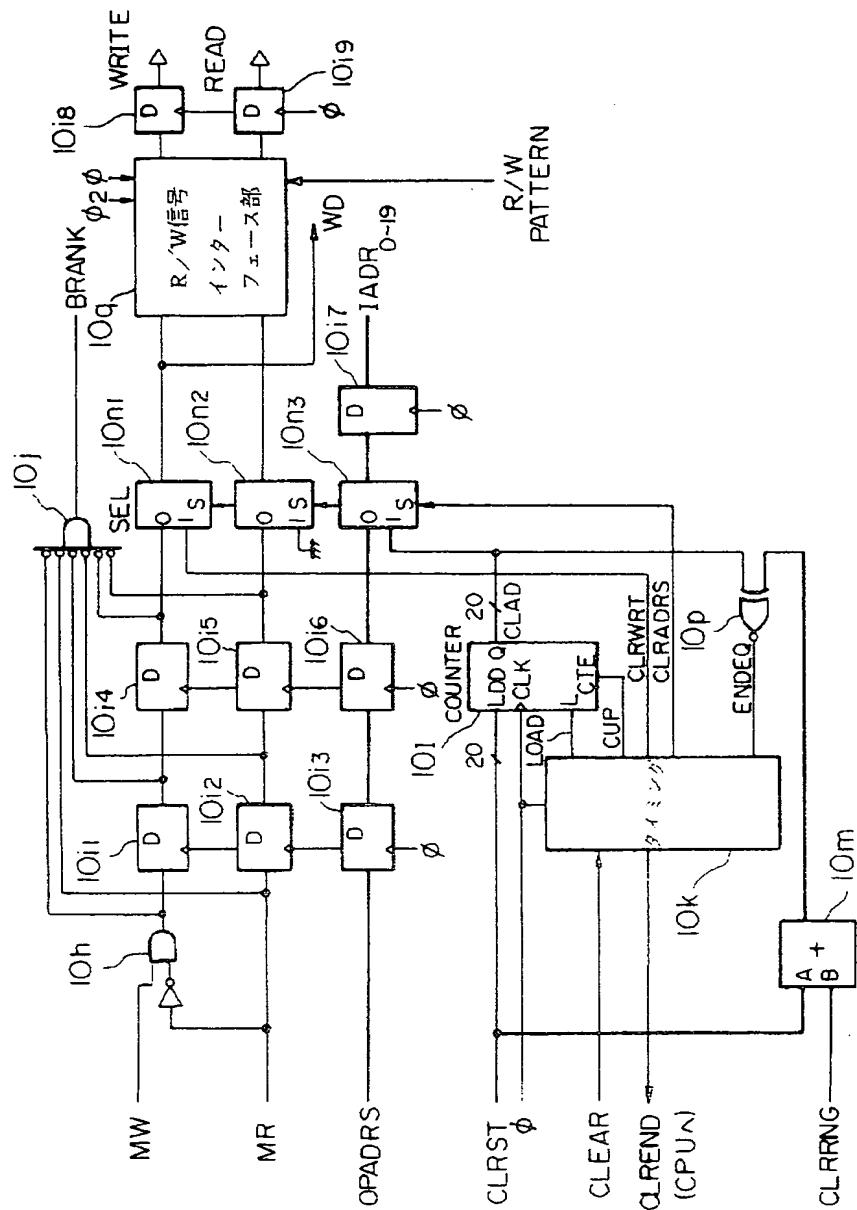


注) ADLB=Address Low Bits

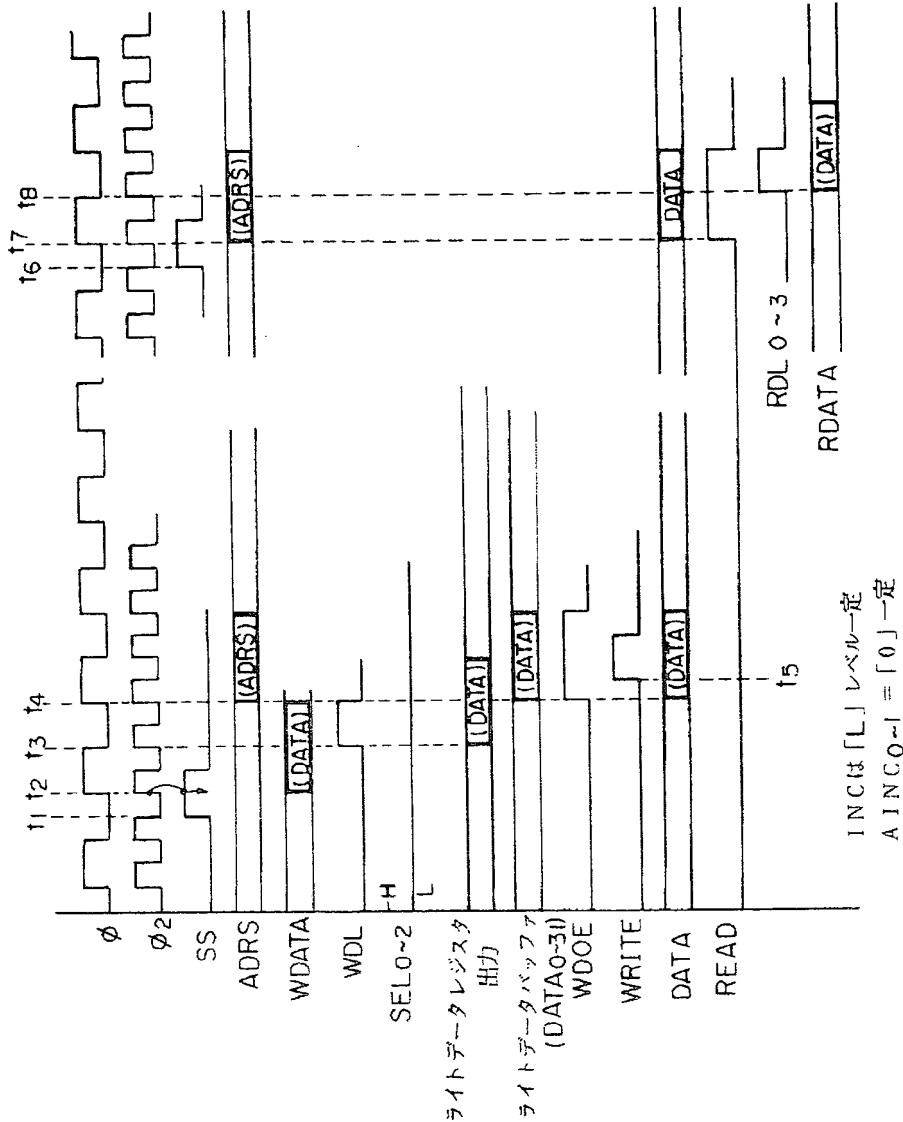
【図5】



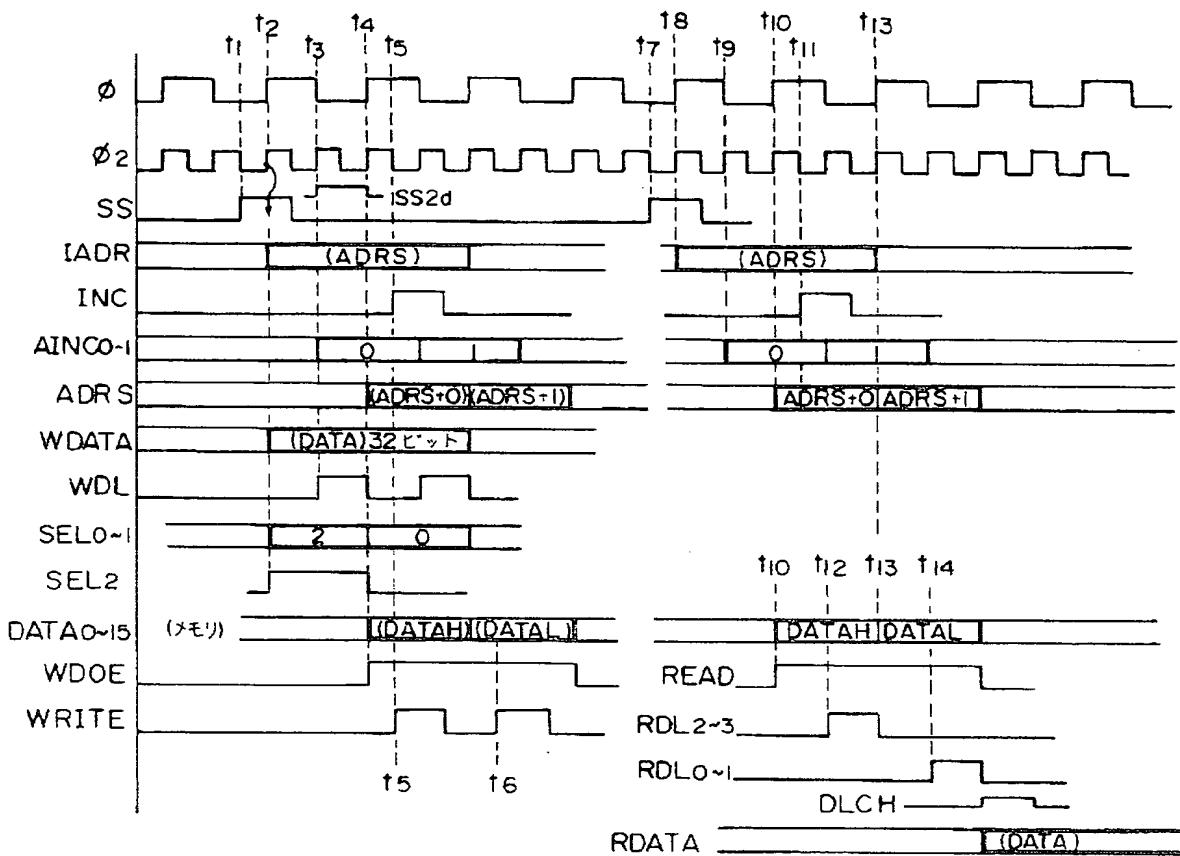
〔図7〕



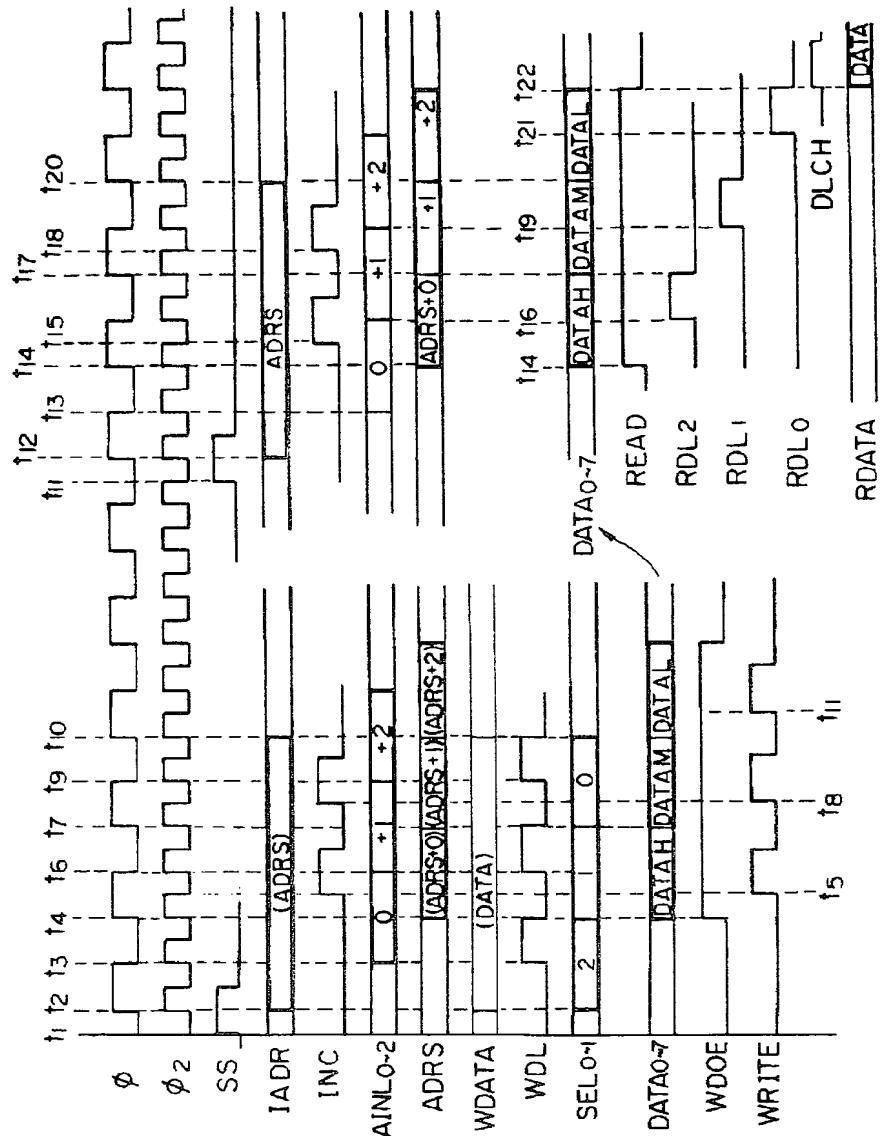
〔図8〕



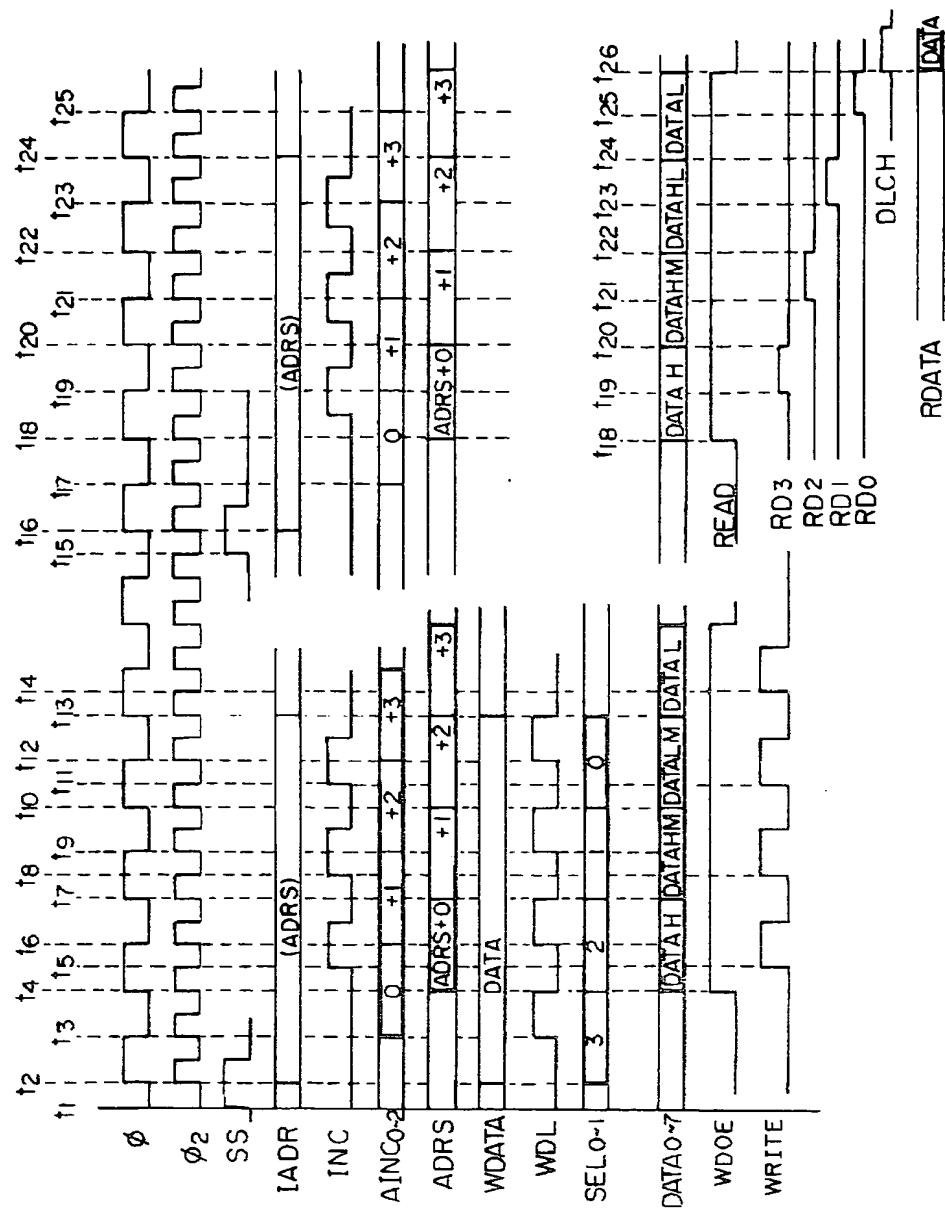
[図9]



【図10】



[図11]



THIS PAGE LEFT BLANK